DIALOG(R)File 351:Derwent WPI
(c) 2002 Thomson Derwent. All rts. reserv.

007815078 **Image available**
WPI Acc No: 1989-080190/ **198911**
Electron beam generator device - makes two dimensional matrix arrangement electron emission devices on substrate NoAbstract Dwg 2/5
Patent Assignee: CANON KK (CANO)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 1031332	A	19890201	JP 87186650	A	19870728	198911	B

Priority Applications (No Type Date): JP 87186650 A 19870728
Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 1031332	A		7		

Title Terms: ELECTRON; BEAM; GENERATOR; DEVICE; TWO; DIMENSION; MATRIX; ARRANGE; ELECTRON; EMIT; DEVICE; SUBSTRATE; NOABSTRACT
Derwent Class: U12; U14; V05
International Patent Class (Additional): H01J-001/20; H01J-029/48; H01J-037/06
File Segment: EPI
Manual Codes (EPI/S-X): U12-B03X; U14-H01A; V05-D05C; V05-D06; V05-F03; V05-M03

THIS PAGE BLANK (USPTO)

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭64－31332

⑤Int.Cl.⁴	識別記号	庁内整理番号	㊸公開　昭和64年(1989)2月1日
H 01 J 29/48		7301－5C	
1/20		6722－5C	
37/06		Z－7013－5C	審査請求　未請求　発明の数 2　（全7頁）

㊹発明の名称　電子線発生装置およびその駆動方法

㉑特　願　昭62－186650

㉒出　願　昭62(1987)7月28日

㉗発明者	鎧　英俊	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	野村　一郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	武田　俊彦	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	金子　哲也	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	坂野　嘉和	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	吉岡　征四郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉗発明者	横野　幸次郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
㉑出願人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
㉔代理人	弁理士　渡辺　徳廣		

明　細　書

1．発明の名称

電子線発生装置およびその駆動方法

2．特許請求の範囲

（1）基板上に複数の電子放出素子を2次元的に行列状に配設し，行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに，列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなることを特徴とする電子線発生装置．

（2）基板上に複数の電子放出素子を2次元的に行列状に配設し，行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに，列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなり，前記列方向の複数の電子放出素子は2列以上のm列にわたって設けられ，その電気的な結線がm＋1本の電極で取り出され，前記m列の電子放出素子群のうちの任意のx列目を駆動するのに，1～x本目の電極には共通の電位V_1を印加し，x＋1～m＋1本目の電極には前記電位V_1と異なる共通の電位V_2を印加することを特徴とする電子線発生装置の駆動方法．

3．発明の詳細な説明

［産業上の利用分野］

本発明は電子線発生装置およびその駆動方法に関し，特に表面伝導形放出素子もしくはこれと類似の電子放出素子を多数個用いた電子線発生装置の改良およびその駆動方法に関する．

［従来の技術］

従来，簡単な構造で電子の放出が得られる素子として，例えば，エム　アイ　エリンソン（M.I. Elinson）等によって発表された冷陰極素子が知られている．〔ラジオ　エンジニアリング　エレクトロン　フィジィックス（Radio Eng. Electron. Phys.）第10巻，1290～1296頁，1965年〕

これは，基板上に形成された小面積の薄膜に，膜面に平行に電流を流すことにより，電子放出が生ずる現象を利用するもので，一般には表面伝導

型放出素子と呼ばれている。

この表面伝導型放出素子としては、前記エリンソン等により開発されたSnO_2(Sb)薄膜を用いたもの、Au薄膜によるもの［ジー・ディトマー"スイン ソリド フィルムス"(G. Dittmer:"Thin Solid Films"),9巻,317頁,(1972年)］、ITO薄膜によるもの［エム ハートウェル アンド シー ジー フォンスタッド"アイ イー イー イー トランス" イー ディー コンフ(M. Hartwell and C. G. Fonstad:"IEEE Trans. ED Conf.")519頁,(1975年)］、カーボン薄膜によるもの［荒木久他："真空",第26巻,第1号,22頁,(1983年)］などが報告されている。

これらの表面伝導形放出素子は、

1) 高い電子放出効率が得られる

2) 構造が簡単であるため、製造が容易である

3) 同一基板上に多数の素子を配列形成できる

等の利点を有する。

従って、たとえば大面積の基板上に微細なピッチで多数の素子を配列した電子線発生装置や、これを用いた高精細大画面の表示装置などへの応用が期待されるものである。

［発明が解決しようとする問題点］

しかしながら、従来の電子線発生装置で行なわれている素子の配線法に於ては、以下に説明する様な点で問題があった。

第5図は従来の配線法を示す配線図である。同図において、ESは表面伝導形放出素子等の電子放出素子で、基板上にm×n個、配列して形成されている。尚、図中に於ては、説明を簡単にするため、m=6, n=8のものが示されているが、一般には、m,nはもっと大きく、たとえば数百～数千の場合もある。

これらの素子はE_1～E_mの2m本の電極により1列(n個)づつ共通配線されており、たとえば平板型CRTのような表示装置へ応用した場合、画像を1ライン毎に同時に表示する線順次走査方式に適する様に形成されている。

即ち、1列目を走査するには、電極E_1と電極E_2間に所定電圧を印加し、次に2列目を走査するために、電極E_3と電極E_4間に所定電圧を印加するというように、1列毎に電子ビーム群を順次放射させ、同時にこれと直交して行方向に設けられた図示外のn本のグリッドにより個々の電子ビームの強度を変調するものである。

従来、この様な電子線発生装置においては、電子発生素子を数多く設けて素子の配列のピッチを小さくしようとすると、配線方法に困難が生じていた。

たとえば、1列あたりの素子数nを大きくすると、駆動電圧を供給するための共通電極(E_1～E_m)の巾d_1を大きくする必要があるが、この様に巾d_1を大きくすると行方向の配列ピッチを大きくすることになる。この様な状態を少しでも解消するために、電極間隔d_2を小さくすることも考えられるが、電極間の絶縁を十分維持するためにはこれにも限度があり、また電極間の電気容量が増加するため、駆動速度が低下するという問題が発生していた。

この様な問題があるために、従来の電子線発生装置では、たとえば、高精細、大容量の表示装置のためのマルチ電子線等の応用上の要請を満足するのに必要な十分な素子数と配列ピッチを備えたものを実現するのが困難であった。

本発明は、上述の様な従来技術の問題点に鑑みてなされたもので、その目的は、表面伝導形放出素子もしくはこれに類似の電子放出素子を用いた線順次走査方式の電子発生装置において、電子放出素子を微細なピッチで、多数個配列することを可能にした電子線発生装置およびその駆動方法を提供することである。

［問題点を解決するための手段］

即ち、本発明の第一の発明は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなることを特徴とする電子線発生装置である。

また、第二の発明は、基板上に複数の電子放出素子を２次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなり、前記列方向の複数の電子放出素子は２列以上のｍ列にわたって設けられ、その電気的な結線がｍ＋１本の電極で取り出され、前記ｍ列の電子放出素子群のうちの任意のｘ列目を駆動するのに、１～ｘ本目の電極には共通の電位Ｖ１を印加し、ｘ＋１～ｍ＋１本目の電極には前記電位Ｖ１と異なる共通の電位Ｖ２を印加することを特徴とする電子線発生装置の駆動方法である。

具体的には、基板上に複数の電子放出素子を二次元的に行列状に設け、行（ｘ）方向に関しては、隣接する素子の対向する端子同志を電気的に結線するとともに、列（ｙ）方向に関しては、同一列上の全素子について同じ側の端子同志を電気的に結線してなる電子線発生装置において、前記列方向の複数の電子放出素子は、２以上のｍ（ｍ≧２）列にわたって設けられ、前記電気的な結線がE_1～E_{m+1}のｍ＋１本の電極で取り出されており、前記ｍ列の電子放出素子群のうち、任意のｘ列目を駆動するのに（１≦ｘ≦ｍ）、E_1～E_xのｘ本の電極には共通の電位V_1を印加し、E_{x+1}～E_{m+1}のｍ－ｘ＋１本の電極には共通の電位V_2を印加する（$V_1 \neq V_2$）ことを特徴とする電子線発生装置およびその駆動方法である。

［作用］

本発明の電子線発生装置は、基板上に複数の電子放出素子を２次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子同志を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子同志を電気的に結線してなるので、従来は各列毎に電子放出素子の配線を共通化していたのに対し、本発明の場合は隣接する２列間の配線を共通化し、多数の素子を微細なピッチで配列することが可能である。また、電極間の配線容量も大巾に小さくできるために駆動も容易になる。

［実施例］

以下、図面に示す実施例に基づいて本発明を詳細に説明する。

実施例１

第１図は本発明の電子線発生装置の一実施例を示す配線図である。同図は、表面伝導形放出素子をｍ×ｎ個（ｍ＝７，ｎ＝11）備えた電子線発生装置を示す。図から明らかなように、従来は各列毎に配線を共通化していたのに対し、本発明の場合は隣接する２列間の配線を共通化している。

すなわち、従来、ｍ列の素子を配線するのに２ｍ本の電極で行なっていたのに対し、本発明ではｍ＋１本の電極で行なうことを特徴としている。

本発明の方式によれば、従来と同じ素子を用いながら、より多数の素子を微細なピッチで配列することが可能である。従来、素子列と素子列の間には配線のために（２×d_1＋d_2）の巾が必要であったが、本発明の場合に必要な巾はd_2である。

もし、一列あたりの素子数が同じ場合なら、一列単位の列順次駆動の場合、電極に流れる電流は同じであるから、$d_2 = d_1$であればよく、列間ピッチを（２×d_1＋d_2）－d_1＝d_1＋d_2だけ小さくすることができる。

第１図の実施例では、ほぼ同じ面積の従来の第５図の方式と比較して、行方向と列方向の両方とも配列ピッチを小さくすることができる。第５図の場合、列方向にはｎ＝８個の素子が配列されているが、第１図ではｎ＝11個が配列されている。したがって、電極巾として、d_2は$d_1 \times 11/8$ あればよいが、本実施例では余裕をみて、$d_2 = 5/3\ d_1$（$> 11/8 d_1$）としている。一方、行方向についても、第５図ではｍ＝６であるが、第１図の実施例ではｍ＝７に増やすことができる。

次に、上記実施例の駆動方法について説明する。第１図の装置において、任意のｘ列目（１≦ｘ≦ｍ）を駆動するためには、電極E_1～E_{m+1}に対して

電　極	電圧[V]
E_1～E_x	VE
E_{x+1}～E_{m+1}	0

……①

または

電　極	電圧[V]
E_1～E_x	0
E_{x+1}～E_{m+1}	VE

……②

の電圧を印加すればよい。ただし、VEとは、一列あたりn個の素子を駆動するのに必要な電圧値である。

言いかえれば、x列目の素子の両端にのみ電位差VEが生ずるように、電位を印加すればよいわけである。本実施例に於ては、印加電圧の極性によらず、電子放出が良好な素子を用いたため、①、②のどちらの方法を行なってもよい。しかし、極性により電子放出特性が大巾に変わる素子を用いる場合には、①、②のうちどちらか1つの方法に固定し、常に印加電圧の極性を一定させるか、又は①と②で印加電圧VEを変えて特性の違いを補正するなどの工夫を行なえばよい。

次に、第1図の実施例に於て、1列目からm列目まで順次走査していくための回路構成の一例を第2図の回路図に示す。

第2図において、1は前記第1図で説明した電子線発生装置で、E_1～E_{m+1}のm＋1本の電極端子が取り出されている。また、SRはシリアル・イン／パラレル・アウトのシフトレジスタであり、外部から与えられるシリアル入力信号(Sin)、クロック信号(CLK)、クリアー信号(CLR)にもとづき、m本のパラレル信号（P_1～P_m）を出力する。また、INVはインバータである。BDはバッファードライバーで、i_1～i_{m+1}に入力する信号にもとづき、O_1～O_{m+1}からVE[V]又は0[V]を出力する。

この回路の動作の手順を、下記の表1に示す。

表　1

クロック信号	クリアー信号	E_1	E_2	E_3	E_4	E_5	E_6	E_7	E_8	駆動する素子列（列目）
―	1	VE	0	0	0	0	0	0	0	1
↑	0	VE	VE	0	0	0	0	0	0	2
↑	0	VE	VE	VE	0	0	0	0	0	3
↑	0	VE	VE	VE	VE	0	0	0	0	4
↑	0	VE	VE	VE	VE	VE	0	0	0	5
↑	0	VE	VE	VE	VE	VE	VE	0	0	6
↑	0	VE	VE	VE	VE	VE	VE	VE	0	7
↑	0	0	VE	VE	VE	VE	VE	VE	VE	1
↑	0	0	0	VE	VE	VE	VE	VE	VE	2
↑	0	0	0	0	VE	VE	VE	VE	VE	3
↑	0	0	0	0	0	VE	VE	VE	VE	4
↑	0	0	0	0	0	0	VE	VE	VE	5
↑	0	0	0	0	0	0	0	VE	VE	6
↑	0	0	0	0	0	0	0	0	VE	7
↑	0	VE	0	0	0	0	0	0	0	1

（注）↑：クロック信号の立ち上りを示す。

まず最初、シフトレジスターSRにクリアー信号を入力すると、シフトレジスタSRのP_1～P_mはすべて0を出力し、又、インバーターINVは1を出力する。したがって、バッファドライバーBDはO_1だけがVE[V]を出力し、O_2～O_{m+1}は0[V]を出力する。その結果、前記電子線発生装置のE_1にのみVE[V]が印加されることとなり、素子列のうち第1列目だけが駆動される。

次に、クリアー信号を0とし、クロック信号を1回入力すると（表1中、↑で示す）、バッファドライバーBDのi_1とi_2に1が、i_3～i_{m+1}には0が入力されるため、結果的にはE_1とE_2に VE[V]、そしてE_3～E_{m+1}には0[V]が印加され、素子の第2列目が駆動される。

以下、同様にクロック信号が入力される度に表1の手順を上から下に行なっていく。そして、第7列目が駆動された（E_1～E_7に VE[V]、E_8に0[V]印加）次のクロックで、再び第1列目が駆動されるが、この時には初回と異なり、E_1に0[V]E_2～E_8に VE[V]が印加される。すなわち、第1回

目の走査では，前記駆動方法の説明における①の方法，２回目の走査では②の方法が用いられ，以下これが交互にくり返されることとなる。

実施例２

次に，本発明の第二の実施例を第３図に示す。本実施例は，基本構成としては第１図の例と同様のものであるが，偶数列と奇数列の素子の配列が半ピッチ分ずらせてある点が異なる。

本実施例は，特に，TV受像機の分野では公知のインターレース方式に適したものである。すなわち，たとえば，フラットCRTなどに応用した時，奇数列（1,3,5,…列）と偶数列（2,4,6,…列）を交互に走査することにより，ちらつきの少ない画像表示を行なうことができる。この場合，前記第２図の走査回路を若干変更する必要がある。即ち，バッファードライバーBDの信号入力端子（i_1～i_{m-1}）の前にラッチを一段設け，該ラッチをシフトレジスタの1/2周波数のクロックで駆動すれば，所望のインターレース走査が可能となる。

また，これ以外にも素子の配列の方法にはバリエーションが可能で，要するに，その応用目的にあわせて最適の配列を行なえばよい。

たとえば，第４図に示すように，同一基板上に２種以上の電子源を配列してもよく（第４図中，ES_1とES，は素子の形状や電子放出特性が異なる。），また配列のピッチを部分的に変えたり，場合によっては複数の素子を直列接続したり，必要に応じて，電極の巾dを変えたりすることも可能である。

また，使用される電子放出素子も，表面伝導形放出素子をはじめとして，Pn接合を用いたもの，MIM構造を有するもの等であってもよい。

尚，上記の説明では，線順次走査方式の表示装置への応用を主眼においたため，１列ずつ駆動する場合を説明したが，本発明の駆動はこれ等に限定されるものではなく，任意の列を同時に駆動することもむろん可能である。

たとえば，ｐ列目とｑ列目とｒ列目を同時に駆動したい時には，（$1 \leqq p \leqq m$，$1 \leqq q \leqq m$，$1 \leqq r \leqq m$，$p < q < r$とする）

電　極	印加電圧[V]
E_1～E_p	VE
E_{p+1}～E_q	0
E_{q+1}～E_r	VE
E_{r+1}～E_{m+1}	0

または

電　極	印加電圧[V]
E_1～E_p	0
E_{p+1}～E_q	VE
E_{q+1}～E_r	0
E_{r+1}～E_{m+1}	VE

で示されるような電圧を印加すればよい。また，たとえば全列を同時駆動したい時には，E偶数→VE[V]，E奇数→0[V]又はE偶数→0[V]，E奇数→VE[V]のような電圧を印加すればよい。要するに，任意の素子列に駆動電圧VEを印加することは容易である。

［発明の効果］

以上説明した様に，本発明による電子線発生装置の配線手段を用いれば，従来と比較して多数の電子放出素子を微細なピッチで配列することが可能である。しかも，電極間の配線容量も大巾に小さくできるため，駆動も容易になる。

また，駆動回路との接続を，従来，２ｍ本の電極で行なっていたのに対し，本発明の方法ではｍ＋１本で行なうため，製造も容易になり，信頼性も向上する。

本発明は，表面伝導形放出素子もしくはこれと類似の電子放出素子を多数例網えた電子線発生装置に広く適用可能で，例えば，平板形CRT装置をはじめ，各種表示装置，記録装置，電子線描画装置等の広範囲の装置に応用することができる。

４．図面の簡単な説明

第１図は本発明の電子線発生装置の一実施例を示す配線図，第２図はその走査回路を示す回路図，第３図および第４図は各々本発明の他の実施例を示す配線図および第５図は従来の電子線発生

装置の配線図である。

1…電子線発生装置

ES…電子放出素子

SR…シフトレジスタ

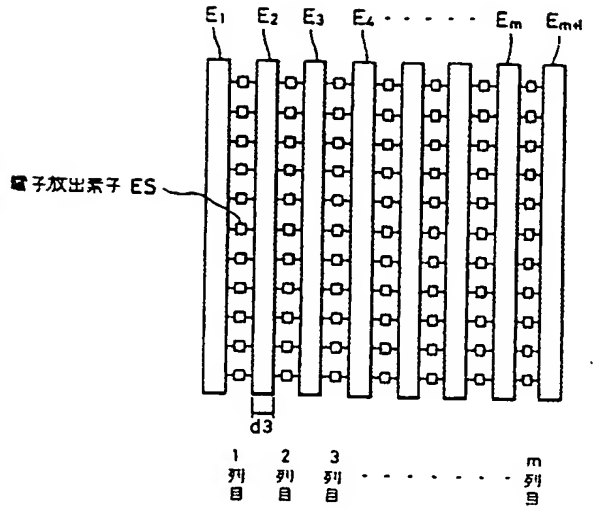
INV…インバータ

BD…バッファードライバー

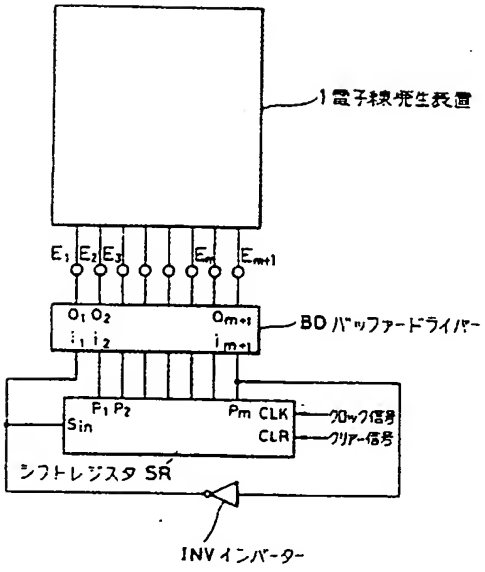
出願人　キヤノン株式会社

代理人　渡辺徳廣

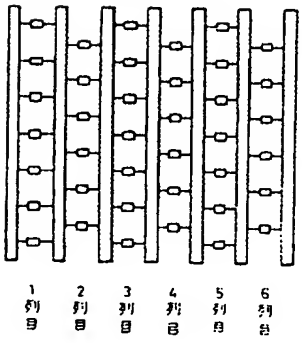
第1図



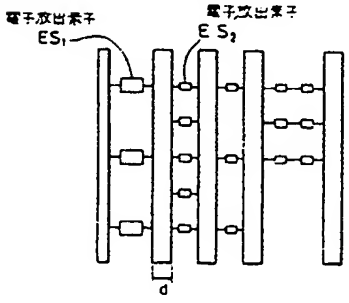
第2図



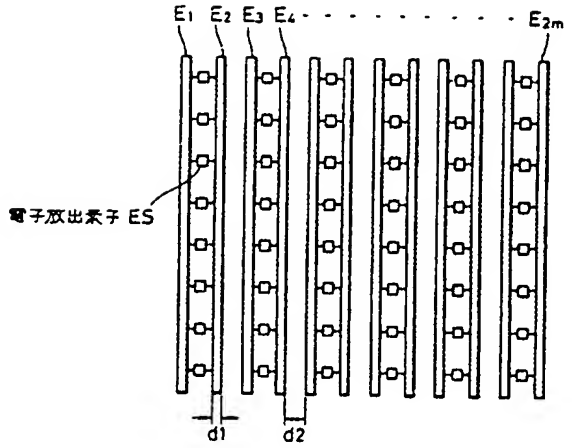
第3図



第4図



第5図



THIS PAGE BLANK (USPTO)